

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Fumikazu YAMAKI, et al.**

Serial No.: **Not Yet Assigned**

Filed: **January 4, 2002**

For: **SEMICONDUCTOR DEVICE WITH A SUPER LATTICE BUFFER**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

January 4, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-003069, filed January 10, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

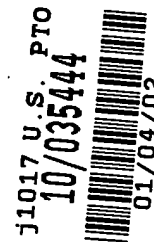
In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.  
Reg. No. 22,631

Atty. Docket No.: 011796  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WGK/ll



日本国特許庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 1月10日

出願番号  
Application Number:

特願2001-003069

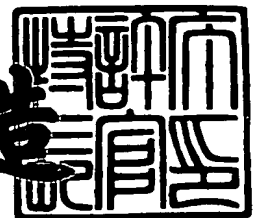
出願人  
Applicant(s):

富士通カンタムデバイス株式会社

2001年 9月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3088859

【書類名】 特許願

【整理番号】 0001213

【提出日】 平成13年 1月10日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/80

【発明の名称】 半導体装置

【請求項の数】 11

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士  
通カンタムデバイス株式会社内

【氏名】 八巻 史一

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士  
通カンタムデバイス株式会社内

【氏名】 五十嵐 武司

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806577

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 化合物半導体基板と、

前記化合物半導体基板上に形成され、活性素子が形成されるデバイス層とよりなる半導体装置において、

前記化合物半導体基板は少なくともその表面において  $1.0 \times 10^8 \Omega \text{ cm}$  以下の比抵抗を有し、

前記化合物半導体基板と前記デバイス層との間には、超格子構造を有するバッファ層が設けられていることを特徴とする半導体装置。

【請求項 2】 前記化合物半導体基板は、 $0.6 \times 10^8 \Omega \text{ cm}$  以下の比抵抗を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記デバイス層は、前記化合物半導体基板の表面から  $5.0 \mu \text{ m}$  以内の位置に形成されることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記化合物半導体基板の裏面には、電極層が設けられていることを特徴とする請求項 1 ～ 3 のうち、いずれか一項記載の半導体装置。

【請求項 5】 前記電極層は前記半導体装置に電氣的に接続されていないことを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記電極層は前記半導体装置の一方の電源電位に電氣的に接続されることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】 前記デバイス層上には前記デバイス層中にチャネル領域を画成するようにソース電極とドレイン電極とが相互に離間した状態で形成されており、さらに前記デバイス層は前記チャネル領域上にゲート電極を担持することを特徴とする請求項 1 ～ 6 のうち、いずれか一項記載の半導体装置。

【請求項 8】 前記デバイス層中には二次元電子ガスが形成されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記デバイス層は、第 1 の導電型を有するコレクタ層と、前記コレクタ層上に形成された第 2 の導電型を有するベース層と、前記ベース層上

に形成された前記第1の導電型を有するエミッタ層とよりなることを特徴とする請求項1～6のうち、いずれか一項記載の半導体装置。

【請求項10】 前記化合物半導体基板は、その全体が $1.0 \times 10^8 \Omega \text{ cm}$ よりも大きな比抵抗を有することを特徴とする請求項1～9のうち、いずれか一項記載の半導体装置。

【請求項11】 前記化合物半導体基板は、 $1.0 \times 10^8 \Omega \text{ cm}$ よりも大きい比抵抗を有する化合物半導体支持基板と、 $1.0 \times 10^8 \Omega \text{ cm}$ よりも小さい比抵抗を有する化合物半導体層とよりなることを特徴とする請求項1～9のうち、いずれか一項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に高速化合物半導体装置に関する。

【0002】

化合物半導体装置は電子移動度の大きい化合物半導体を活性層に使い、高速動作を特徴とする。このため化合物半導体装置は携帯電話サービスを含むGHz帯域を使った高速無線通信網において重要であり、特にかかる高速無線通信網の基地局用途として、大出力化合物半導体装置が求められている。

【0003】

【従来の技術】

図1は従来より高速無線通信網の基地局において最終段の出力トランジスタとして使われているMESFET10の典型的な構成例を示す。

【0004】

図1を参照するに、MESFET10は一般的に半絶縁性GaAs基板11上に構成され、前記GaAs基板11上にエピタキシャルに形成された非ドーブGaAsバッファ層12と前記バッファ層12上にエピタキシャルに形成されたn型GaAs電子走行層13とを含み、前記電子走行層13上にはチャネル領域に対応してゲート電極14Gが、またその両側にソース電極14Sおよびドレイン電極14Dが形成されている。

【0005】

【発明が解決しようとする課題】

図2は図1のMESFET10においてゲートソース間電圧 $V_{gs}$ を200mV刻みで変化させた場合のドレイン電流特性を示す。ただし図2中、縦軸は前記MESFET10のドレインソース間電流 $I_{ds}$ を、また横軸は前記MESFETのドレインソース間電圧 $V_{ds}$ を示す。図中、縦軸の一目盛は500mA、横軸の一目盛は2Vとなっている。

【0006】

図2を参照するに、ゲートソース間電圧 $V_{gs}$ の増大と共にドレインソース間電流 $I_{ds}$ は増大するが、電流 $I_{ds}$ が増大してMESFET10の出力が増大するとドレインソース間電圧 $V_{ds}$ の増大と共に飽和領域における飽和ドレインソース間電流 $I_{ds}$ が急減するのがわかる。かかる飽和ドレインソース間電流 $I_{ds}$ の急減はガン発振によるものであることが知られており、その結果MESFET10から取り出せる高周波電力が制限されてしまう。ただし、図2は前記基板11として半絶縁性GaAs基板を使った場合についてのもので、従って図2において前記基板11は $1 \times 10^8 \Omega \cdot \text{cm}$ 以上の非常に高い比抵抗を有している。

【0007】

図1のMESFET10におけるように基板11として高抵抗半絶縁性GaAsを使った場合、GaAsバンド構造のL谷に対応した電子移動度の負性特性のため、電子走行層13に高電界を印加した場合、電子走行層13中において、印加された高電界のため、電子蓄積領域と空乏領域とが隣接した電気二重層、すなわちドメインが発生してしまう。これがガン発振である。

【0008】

図3は、図2のドレイン電流特性に負荷線を加えて表示した図である。

【0009】

図3を参照するに、MESFET10の実際の動作点は前記飽和ドレインソース間電流 $I_{ds}$ が急減する領域に位置し、従ってMESFET10は高出力動作をさせようとした場合、所望の高出力電力を供給することが出来ない問題を有するのがわかる。図3中、前記飽和ドレインソース間電流 $I_{ds}$ のうち、発振領域

における最小値を  $I_{\text{dosc}}$  と表記する。図 2 の例では、前記最小飽和ドレインソース間電流  $I_{\text{dosc}}$  の値は約 2 4 0 0 m A となる。

【 0 0 1 0 】

このように従来の化合物半導体装置では、高速無線通信網における基地局の出力段等、大出力用途に適用した場合に十分な出力を取り出すことができず、この問題を解決するために様々な素子構造の改良が試みられている。

【 0 0 1 1 】

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

【 0 0 1 2 】

本発明のより具体的な課題は、ガン発振を抑制し、大出力電力を供給可能な高速半導体装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明は上記の課題を、

請求項 1 に記載したように、

化合物半導体基板と、

前記化合物半導体基板上に形成され、活性素子が形成されるデバイス層とよりなる半導体装置において、

前記化合物半導体基板は少なくともその表面において  $1.0 \times 10^8 \Omega \text{ cm}$  以下の比抵抗を有し、

前記化合物半導体基板と前記デバイス層との間には、超格子構造を有するバッファ層が設けられていることを特徴とする半導体装置により、または

請求項 2 に記載したように、

前記化合物半導体基板は、  $0.6 \times 10^8 \Omega \text{ cm}$  以下の比抵抗を有することを特徴とする請求項 1 記載の半導体装置により、または

請求項 3 に記載したように、

前記デバイス層は、前記化合物半導体基板の表面から  $5.0 \mu \text{ m}$  以内の位置に形成されることを特徴とする請求項 1 または 2 記載の半導体装置により、または



請求項4に記載したように、

前記化合物半導体基板の裏面には、電極層が設けられていることを特徴とする請求項1～3のうち、いずれか一項記載の半導体装置により、または

請求項5に記載したように、

前記電極層は前記半導体装置に電氣的に接続されていないことを特徴とする請求項4記載の半導体装置により、または

請求項6に記載したように、

前記電極層は前記半導体装置の一方の電源電位に電氣的に接続されることを特徴とする請求項4記載の半導体装置により、または

請求項7に記載したように、

前記デバイス層上には前記デバイス層中にチャネル領域を画成するようにソース電極とドレイン電極とが相互に離間した状態で形成されており、さらに前記デバイス層は前記チャネル領域上にゲート電極を担持することを特徴とする請求項1～6のうち、いずれか一項記載の半導体装置により、または

請求項8に記載したように、

前記デバイス層中には二次元電子ガスが形成されていることを特徴とする請求項7記載の半導体装置により、または

請求項9に記載したように、

前記デバイス層は、第1の導電型を有するコレクタ層と、前記コレクタ層上に形成された第2の導電型を有するベース層と、前記ベース層上に形成された前記第1の導電型を有するエミッタ層とよりなることを特徴とする請求項1～6のうち、いずれか一項記載の半導体装置により、または

請求項10に記載したように、

前記化合物半導体基板は、その全体が $1.0 \times 10^8 \Omega \text{ cm}$ よりも大きな比抵抗を有することを特徴とする請求項1～9のうち、いずれか一項記載の半導体装置により、または

請求項11に記載したように、

前記化合物半導体基板は、 $1.0 \times 10^8 \Omega \text{ cm}$ よりも大きい比抵抗を有する化合物半導体支持基板と、 $1.0 \times 10^8 \Omega \text{ cm}$ よりも小さい比抵抗を有する化

合物半導体層とよりなることを特徴とする請求項 1 ～ 9 のうち、いずれか一項記載の半導体装置により、解決する。

〔作用〕

本発明の発明者は、本発明の基礎となる実験において、図 1 の構造の M E S F E T において電子走行層 1 3 に高電界が印加されないように、基板 1 1 として比抵抗が  $1.0 \times 10^8 \Omega \text{ cm}$  以下の G a A s を使い、前記電子走行層 1 3 中における深さ方向への電界の集中を緩和する試みを行った。しかしこのような高抵抗 G a A s バッファ層 1 2 と低抵抗 G a A s 基板 1 1 とを組み合わせした場合、確かに電子走行層 1 3 中における深さ方向への電界の集中は緩和されるものの、かかる電界の緩和の結果として電子がバッファ層 1 2 と基板 1 1 との界面近傍に蓄積してしまい、その結果やはりドメインが発生しやすくなることを見出された。前記バッファ層 1 2 と基板 1 1 との間の界面はゲート電極 1 4 G あるいはドレイン電極 1 4 D からの距離が大きいため、横方向電界、すなわち基板面に平行な方向の電界が小さくなり、その結果電子濃度が高くなりドメインが形成されやすくなるものと考えられる。これは通常の高抵抗 G a A s バッファ層 1 2 では、デバイス層 1 3 から低抵抗基板 1 1 への電子のリークを十分に阻止することができないことを意味している。

【 0 0 1 4 】

一方、本発明の発明者は上記の結果に鑑み、M E S F E T を含む化合物半導体基板上に形成される半導体装置において、化合物半導体基板として低抵抗基板を使い、さらに前記低抵抗化合物半導体基板と活性素子が形成されるデバイス層との間に超格子構造を有するバッファ層を介在させることにより、前記バッファ層として G a A s バルク層を使った場合と異なり、バッファ層全体として横方向への負性特性を消失あるいは緩和させ、もってバッファ層中におけるドメイン発生を効果的に抑制できる構成を着想するに至った。

【 0 0 1 5 】

すなわち、本発明によれば、前記化合物半導体基板として少なくとも表面部分において比抵抗の小さい基板を使うことにより、前記半導体装置を高電界下で動作させた場合における電子走行層中の電界集中を緩和することができ、さらに前

記デバイス層と基板との間に超格子構造を有する高抵抗バッファ層を介在させることにより、低抵抗基板とバッファ層との間の界面へのデバイス層からの電子のリーク、およびかかる界面におけるリークした電子の蓄積を抑制することができる。また前記バッファ層中にこのような超格子構造を形成することにより、高電界下においてもバッファ層中におけるドメインの発生が効果的に抑制できるのが確認された。

【0016】

【発明の実施の形態】

〔第1実施例〕

図4は本発明の第1実施例によるMESFET20の構成を示す。

【0017】

図4を参照するに、MESFET20は比抵抗が $1 \times 10^8 \Omega \text{cm}$ のGaAs基板21上に形成されており、前記GaAs基板21上にはキャリア濃度が $1 \times 10^{15} \text{cm}^{-3}$ 以下の非ドープGaAs層とキャリア濃度が $1 \times 10^{16} \text{cm}^{-3}$ 以下の非ドープAlGaAs層とを交互に積層したGaAs/AlGaAs超格子構造を有するバッファ層22が、全体で $100 \text{nm} \sim 1 \mu\text{m}$ の厚さに形成される。前記バッファ層22中において各々のGaAs層およびAlGaAs層は典型的には $10 \sim 100 \text{nm}$ の厚さを有し、好ましくはMOVPE法あるいはMBE法により形成される。前記AlGaAs層としては、組成を $\text{Al}_x\text{Ga}_{1-x}\text{As}$ と表した場合の組成パラメータ $x$ が $0.18 \sim 0.28$ の範囲を有するものが好ましい。

【0018】

さらに前記GaAs/AlGaAs超格子バッファ層22上にはSiにより $1 \times 10^{17} \text{cm}^{-3}$ の濃度にドープされた電子走行層23がMOVPE法あるいはMBE法により、約 $200 \text{nm}$ の厚さに形成される。

【0019】

さらに前記電子走行層23上にはソース電極24Sおよびドレイン電極24Dがオーミックコンタクトするように形成され、また前記電子走行層23のうち、前記ソース電極24Sとドレイン電極24Dとの間のチャネル領域上にはショッ

トキーコンタクトするゲート電極 24 G が形成されている。

#### 【0020】

図5は図4のMESFET 20においてゲートソース間電圧  $V_{gs}$  を 200 mV 刻みで変化させた場合のドレイン電流特性を示す。ただし図2と同様に図5中、縦軸は前記MESFET 20のドレインソース間電流  $I_{ds}$  を、また横軸は前記MESFET 20のドレインソース間電圧  $V_{ds}$  を示す。図中、縦軸の一目盛は 500 mA、横軸の一目盛は 2 V となっている。

#### 【0021】

図5を参照するに、ゲートソース間電圧  $V_{gs}$  の増大と共にドレインソース間電流  $I_{ds}$  は増大し、電流  $I_{ds}$  が増大してMESFET 20の出力が増大するとドレインソース間電圧  $V_{ds}$  の増大と共にドレインソース間飽和電流  $I_{ds}$  がガン発振により減少するのがわかる。しかしかかる飽和ドレイン電流  $I_{ds}$  の減少は図2の場合に比べて大幅に軽減されており、図6に示すような関係で負荷線と組み合わせた場合、実質的にガン発振の影響を回避することが可能であることがわかる。またこれに伴い図5に示すように、図4のMESFETではガン発振領域における飽和ドレインソース間電流の最小値  $I_{dosc}$  が図2の 2400 mA から 3400 mA まで改善している。

#### 【0022】

図7は図4のMESFET 20において、前記GaAs基板21の比抵抗を様々に変化させた場合の最小飽和ドレインソース間電流  $I_{dosc}$  を示す。ただし図7の実験では、実際には比抵抗の異なる様々な市販GaAs基板を前記基板21として使い、前記最小飽和ドレインソース間電流  $I_{dosc}$  の値を求めている。

#### 【0023】

図7を参照するに、いずれの供給者の基板を使った場合であっても、 $1.0 \times 10^8 \Omega \text{ cm}$  の比抵抗の値を境に、前記基板21の比抵抗がこれよりも低くなると前記最小飽和ドレインソース間電流  $I_{dosc}$  の値は大きく増大し、一方前記基板21の比抵抗がこれよりも高ければ急減することがわかる。前記基板21の比抵抗がさらに小さく、例えば  $0.6 \times 10^8 \Omega \text{ cm}$  以下である場合、前記最小飽和ドレインソース間電流  $I_{dosc}$  の値はさらに大きくなる。

## 【0024】

本実施例においては、前記低抵抗基板21による電界集中の緩和が効果的に生じるように、前記基板21と前記電子走行層23との間の距離は、一般的なFETにおけるゲート電極とドレイン電極との間の距離にほぼ等しい約 $5\mu\text{m}$ 、あるいはそれ以下の値に設定するのが好ましい。電界の集中は一般に上記電極間距離に対応する範囲において生じるため、前記低抵抗基板21と電子走行層23との間の間隔を上記の $5\mu\text{m}$ 以上に設定した場合には、低抵抗基板21における電界集中の緩和効果が十分に得られない。

## 【0025】

一般にGaAs基板はLEC法などの液相からの引き上げ法により形成されるが、その際にEL2などの自然格子欠陥によりドナー準位が基板を構成するGaAs結晶中に自然に形成され、さらに結晶成長装置中の主にグラファイトヒータからのCによりアクセプタ準位が形成される。そこで従来より、これらの相反する準位を補償させることにより、半絶縁性GaAs基板が製造されている。

## 【0026】

これに対し、本実施例のGaAs基板21として要求される低比抵抗基板を製造する際には、かかるCによるGaAs基板のドーピングを抑制する必要がある。

## 【0027】

図8は、LEC法による低比抵抗GaAs基板の製造に使われる基板成長装置100の構成を示す。

## 【0028】

図8を参照するに、基板成長装置100は耐圧容器101内においてGaAsメルト102Aを保持するルツボ102を有し、前記ルツボ102中には前記メルト102Aの表面を覆う $\text{B}_2\text{O}_3$ よりなるカバー102BがAsの解離および気化を抑制するために設けられている。

## 【0029】

前記耐圧容器101中にはグラファイトヒータ103が設けられ、前記ルツボ102は上下に可動なロッド104上に設けられたホルダ104A中に保持され

ている。さらに前記GaAsメルト102Aには別の引き上げロッド105の先端に設けられた種結晶が接触し、前記引き上げロッド105を回転させながら引き上げるることにより、前記種結晶に連続してGaAsインゴット106が成長する。

#### 【0030】

本実施例ではかかる基板成長装置100において前記グラファイトヒータ103の表面をBN膜で覆っており、その結果前記グラファイトヒータ103を駆動した場合にも、気化したCがメルト102A中に取り込まれ、さらにインゴット106中に取り込まれるのが回避される。

#### 【第2実施例】

図9は本発明の第2実施例によるMESFET30の構成を示す。ただし図9中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0031】

図9を参照するに、MESFET30では前記低抵抗GaAs基板21上に非ドープGaAsバッファ層22Aが形成され、前記GaAs/AlGaAs超格子構造22はかかる非ドープGaAsバッファ層22A上に形成される。さらに前記超格子構造22上には別の非ドープGaAsバッファ層22Bが形成され、前記電子走行層23はかかる非ドープGaAsバッファ層22B上に形成されている。

#### 【0032】

かかる構成においても、前記GaAs/AlGaAs超格子構造22を基板21と電子走行層23との間に介在させることにより、前記基板21と非ドープGaAsバッファ層22Aとの界面への電子のリークを阻止することが可能であり、その結果高出力条件下におけるドメイン発生およびガン発振の問題を、図4のMESFET20と同様に回避することができる。

#### 【0033】

図10は図9のMESFET30において前記GaAsバッファ層22Bを省略した、本実施例の一変形例によるMESFET30Aの構成を示す。本実施例

では前記バッファ層22Bを省略した結果、前記電子走行層23は前記GaAs／AlGaAs超格子22構造上に直接に形成されている。

## 【0034】

図10のMESFET30Aにおいても前記低抵抗GaAs基板21と電子走行層23との間にGaAs／AlGaAs超格子構造22が挿入されているため、図9のMESFET30と同様に、高出力条件下で駆動した場合にドメイン発生およびガン発振の問題を回避することができる。

## 【0035】

図11は図10のMESFET30Aのさらなる変形例によるMESFET30Bを示す。

## 【0036】

図11のMESFET30Bでは図9の非ドープGaAs層22Aが省略され、その結果前記GaAs／AlGaAs超格子構造22は前記低抵抗GaAs基板21上に直接に形成されている。

## 【0037】

図11のMESFET30Bにおいても前記低抵抗GaAs基板21と電子走行層23との間にGaAs／AlGaAs超格子構造22が挿入されているため、図9のMESFET30と同様に、高出力条件下で駆動した場合にドメイン発生およびガン発振の問題を回避することができる。

## [第3実施例]

図12は本発明の第3実施例によるMESFET40の構成を示す。ただし図12中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0038】

図12を参照するに、MESFET40は先に図4で説明したMESFET20と同様な構成を有するが、前記低抵抗GaAs基板21の下面にはメタライゼーションにより電極層25が形成されている。かかる電極層25は接地電極として使われ、あるいはヒートシンクとして使うことができる。またかかる電極層25を介して前記MESFET40を外部のヒートシンク上にロウ付けすることも

可能である。

#### 【0039】

このように基板21の裏面にオーミックコンタクトを形成する電極層25を形成することによっても、前記基板21中における電界を緩和することができる。この場合には、前記電極層25と前記電子走行層23とが十分に近くなるように、前記基板21の厚さを、前記ゲート電極24Gと前記ドレイン電極24Dとの間の距離におおよそ等しい約 $5\mu\text{m}$ 以内に設定するのが好ましい。本実施例においては、前記オーミック電極層25の代わりに基板21に対してショットキーコンタクトをする導電体でも、電位障壁の高さが十分に低いものであれば、使用可能である。

#### 【0040】

図12の構成では前記電極層25は前記電子走行層23とは電氣的に接続されていないが、図13の変形例に示すように前記基板21中に、前記超格子バッファ層22および電子走行層23を貫通してコンタクトホール21Cを形成し、かかるコンタクトホール21C中に形成した導電性プラグ25Aを介して前記電極層25をソース電極24Sと電氣的に接続してもよい。

#### 〔第4実施例〕

図14は本発明の第4実施例によるHBT40の構成を示す。

#### 【0041】

図14を参照するに、HBT40は比抵抗が $1.0 \times 10^8 \Omega\text{cm}$ 以下の低抵抗GaAs基板41上に構成されており、前記GaAs基板41上に形成された非ドープGaAsと非ドープAlGaAsとを交互に積層したGaAs/AlGaAs超格子バッファ層42と、前記超格子バッファ層42上にエピタキシャルに形成された $n^+$ 型GaAsコレクタコンタクト層43と、前記コレクタコンタクト層43上にエピタキシャルに形成され第1のメサ構造を形成するn型GaAsコレクタ層44と、前記コレクタ層44上にエピタキシャルに形成されたp型GaAsベース層45と、前記ベース層45上にエピタキシャルに形成され第2のメサ構造を形成するn型AlGaAsワイドギャップエミッタ層46と、前記



エミッタ層 46 上にエピタキシャルに形成された  $n^+$  型 GaAs エミッタコンタクト層 47 とよりなり、前記コレクタコンタクト層 43 上には  $n$  型オーミック電極よりなるコレクタ電極 48C が、前記ベース層 45 上には  $p$  型オーミック電極よりなるベース電極 48B が、さらに前記エミッタ層 47 上には  $n$  型オーミック電極よりなるエミッタ電極 48E が形成されている。

## 【0042】

かかる構成の HBT 40 においても、低抵抗 GaAs 基板を基板 41 として使い、これに前記 GaAs/AlGaAs 超格子バッファ層 42 を基板 41 とコレクタコンタクト層 43 との間に介在させることにより、高出力駆動時における基板 41 中におけるガン発振を抑制することが可能になる。

## 〔第 5 実施例〕

図 15 は本発明の第 5 実施例による MESFET 50 の構成を示す。ただし図 15 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0043】

図 15 を参照するに、前記 MESFET 50 は先に説明した MESFET 30 A と類似した構成を有するが、前記高抵抗 GaAs バッファ層 22A の代わりに電界を緩和するのに十分なキャリア濃度の  $n^-$  型 GaAs バッファ層 52 を設ける。このように本実施例では電界の緩和がバッファ層 52 において実現されるため、前記低抵抗 GaAs 基板 21 の代わりに比抵抗が  $1.0 \times 10^8 \Omega \text{cm}$  を超える高抵抗 GaAs 基板 51 を使うことができる。

## 【0044】

図 15 の構成においても、基板 51 と電子走行層 23 との間に GaAs/AlGaAs 超格子バッファ層 22 を介在させ、さらに前記バッファ層 22 と基板 51 との間に  $n^-$  型 GaAs バッファ層 52 を介在させることにより、基板 51 中において生じるガン発振、およびこれに伴うドレイン電流の減少の問題を解消することができるのが見出された。

## 【0045】

本実施例においては、前記バッファ層 52 に対して要求されるキャリア密度は

層52の厚さによって異なり、前記バッファ層52の厚さが300nmの場合には $1 \times 10^{16} \text{ cm}^{-3}$ 以上、1ミクロンの場合には $1 \times 10^{15} \text{ cm}^{-3}$ 以上が好ましい。図15の構成において前記バッファ層52の厚さが過大であると、バッファ層52を通過するリーク電流の値が増大してしまう問題が生じるため、前記バッファ層52の厚さはMESFET50の動作時に層52が空乏化するように、上記の範囲において適当な厚さに制限される。

## 【0046】

以上の説明はMESFETおよびHBTについて行ったが、本発明はかかる特定の化合物半導体装置に限定されるものではなく、HEMTを含む他の半導体装置に対しても適用が可能である。

## 【0047】

さらに以上の説明はGaAs基板上に形成された化合物半導体装置についておこなったが、InPを含む他の化合物半導体基板を使うことも可能である。これに伴い、前記超格子構造バッファ層22もGaAs/AlGaAs超格子構造バッファ層に対しても適用が可能である。

## 【0048】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載の要旨内において様々な変形・変更が可能である。

## 【0049】

## 【発明の効果】

本発明によれば、前記化合物半導体基板として少なくとも表面部分において比抵抗の小さい基板を使うことにより、前記半導体装置を高電界下で動作させた場合における電子走行層中の電界集中を緩和することができ、さらに前記デバイス層と基板との間に超格子構造を有する高抵抗バッファ層を介在させることにより、低抵抗基板とバッファ層との間の界面へのデバイス層からの電子のリーク、およびかかる界面におけるリークした電子の蓄積を抑制することができる。また前記バッファ層中にこのような超格子構造を形成することにより、高電界下においてもバッファ層中におけるドメインの発生が効果的に抑制できる。

【図面の簡単な説明】

【図 1】

従来のMESFETの構成を示す図である。

【図 2】

図 1 のMESFETについて得られた動作特性を示す図である。

【図 3】

図 2 の動作特性に負荷線を重ねて示す図である。

【図 4】

本発明の第 1 実施例によるMESFETの構成を示す図である。

【図 5】

図 4 のMESFETについて得られた動作特性を示す図である。

【図 6】

図 5 の動作特性に負荷線を重ねて示す図である。

【図 7】

図 4 のMESFETにおける最大ドレイン電流と基板の非抵抗値との関係を示す図である。

【図 8】

低抵抗GaAs基板を成長させる結晶成長装置の構成を示す図である。

【図 9】

本発明の第 2 実施例によるMESFETの構成を示す図である。

【図 1 0】

図 9 のMESFETの一変形例を示す図である。

【図 1 1】

図 9 のMESFETの別の変形例を示す図である。

【図 1 2】

本発明の第 3 実施例によるMESFETの構成を示す図である。

【図 1 3】

図 1 2 のMESFETの一変形例を示す図である。

【図 1 4】

本発明の第4実施例によるHBTの構成を示す図である。

【図15】

本発明の第5実施例によるMESFETの構成を示す図である。

【符号の説明】

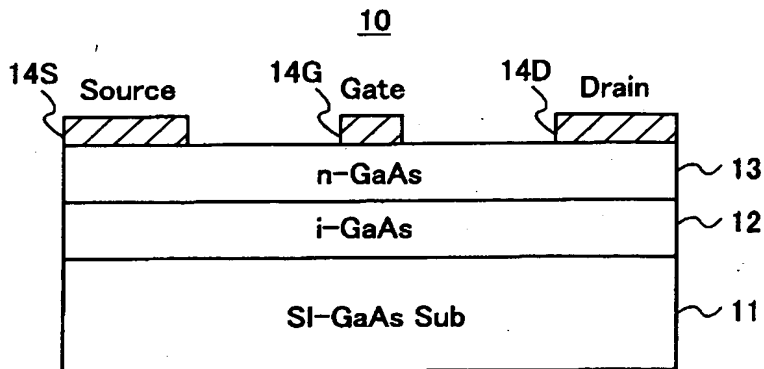
10, 20, 30, 30A, 30B, 50 MESFET  
11, 51 高抵抗化合物半導体基板  
12, 22A, 22B 高抵抗バッファ層  
13, 23 デバイス層  
14D, 24D ドレイン電極  
14G, 24G ゲート電極  
14S, 24S ソース電極  
21, 41 低抵抗化合物半導体基板  
22, 42 超格子構造バッファ層  
40 HBT  
43 コレクタコンタクト層  
44 コレクタ層  
45 ベース層  
46 エミッタ層  
47 エミッタコンタクト層  
48B ベース電極  
48C コレクタ電極  
48E エミッタ電極  
52 低抵抗バッファ層

【書類名】

図面

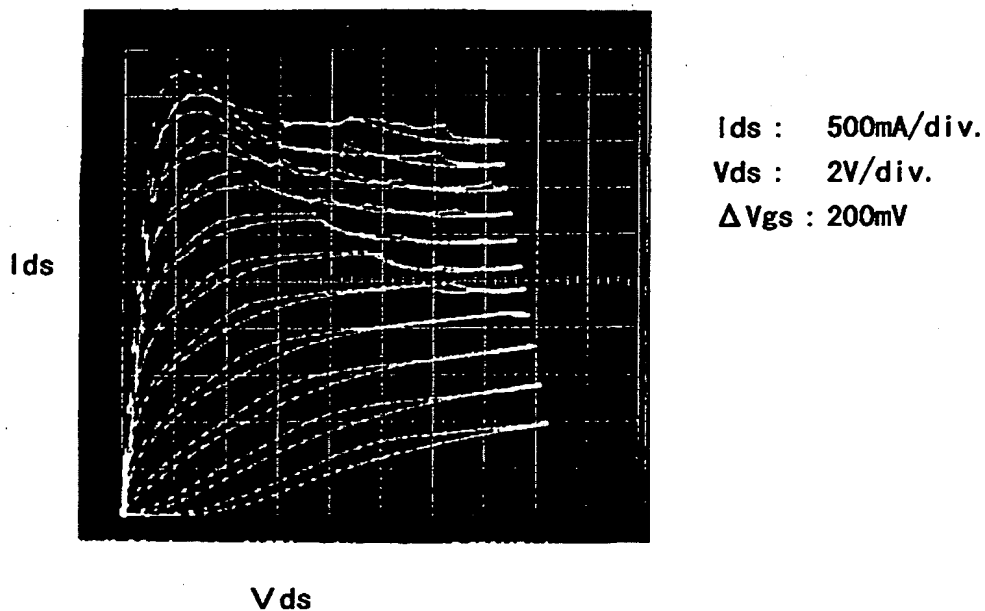
【図 1】

従来のMESFETの構成を示す図



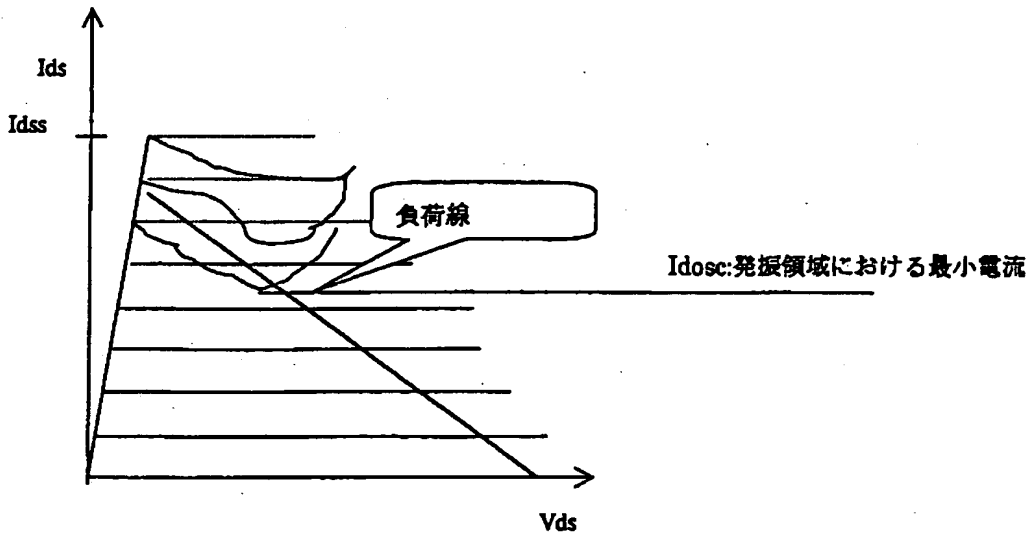
【図 2】

図 1 の MESFET について得られた動作特性を示す図



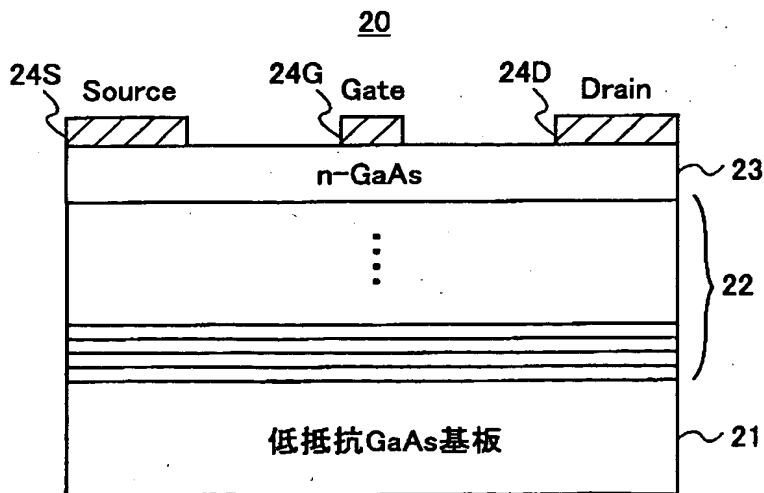
【図 3】

図2の動作特性に負荷線を重ねて示す図



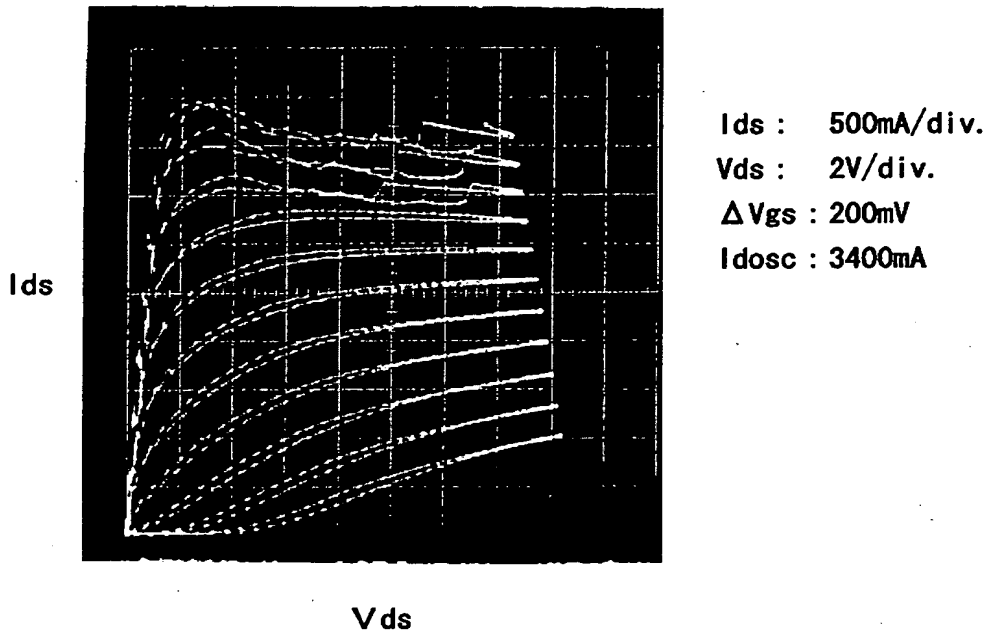
【図 4】

本発明の第1実施例によるMESFETの構成を示す図



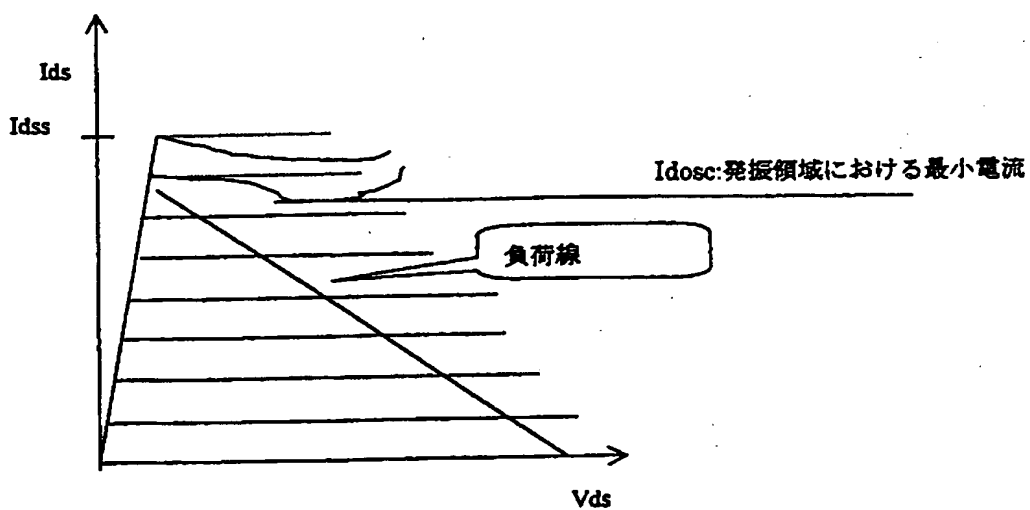
【図 5】

図 4 の MESFET について得られた動作特性を示す図



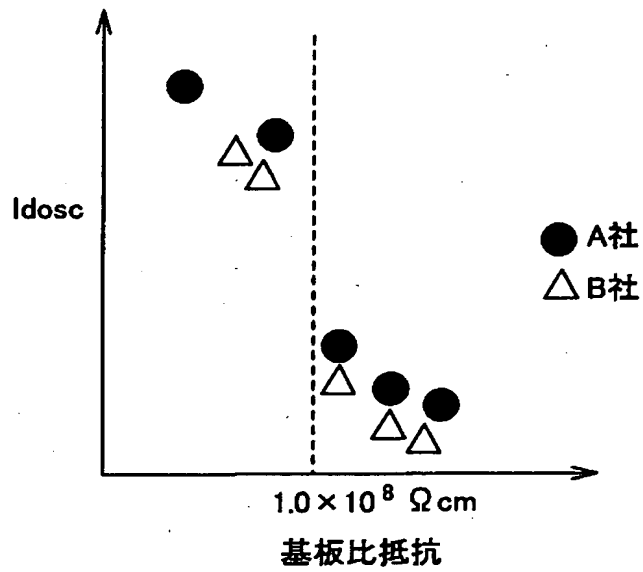
【図 6】

図5の動作特性に負荷線を重ねて示す図



【図 7】

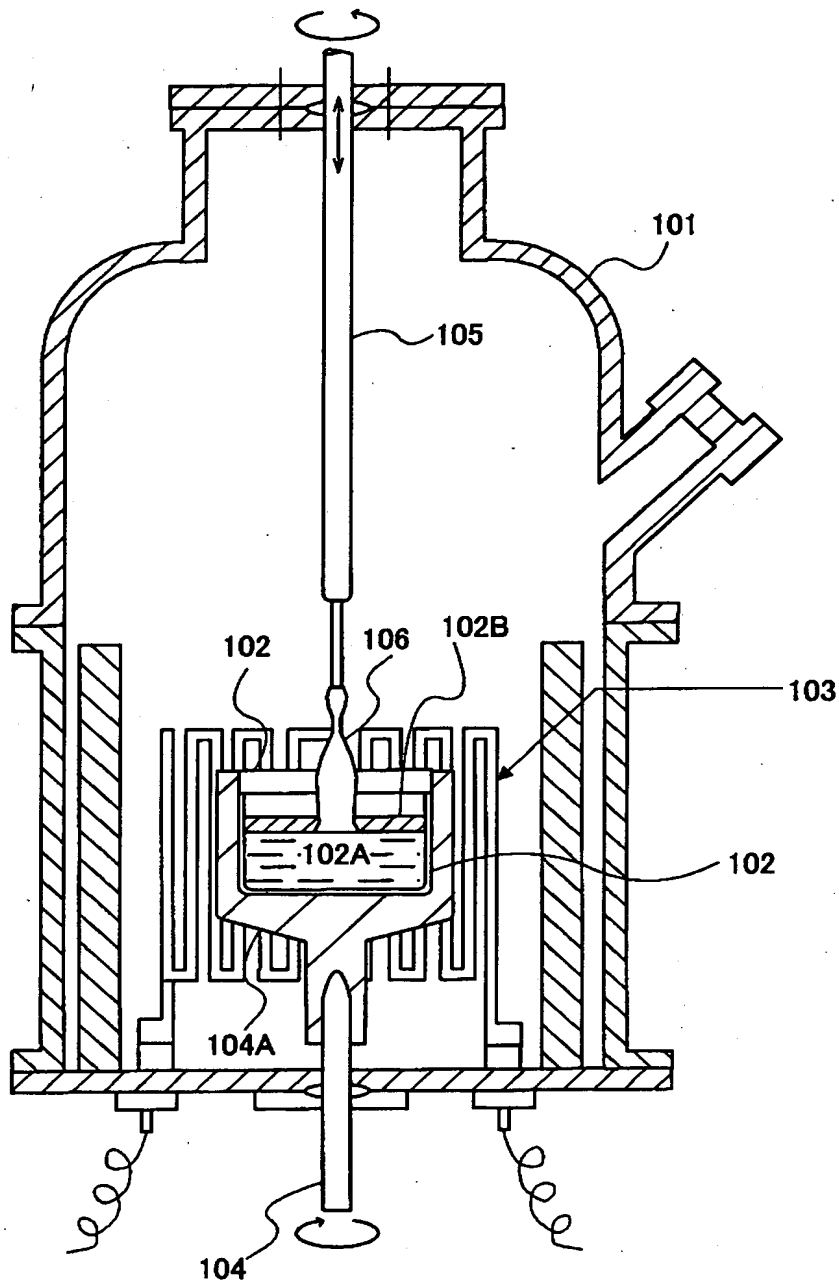
図4のMESFETにおける最大ドレイン電流と基板の  
非抵抗値との関係を示す図





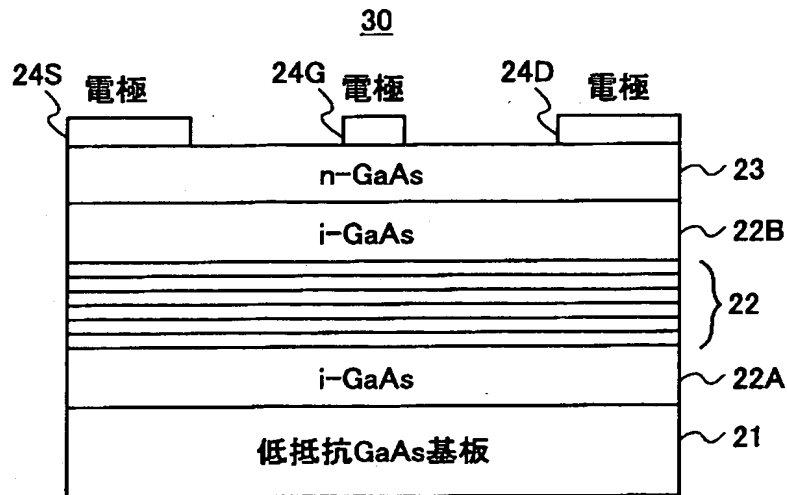
【図 8】

低抵抗GaAs基板を成長させる結晶成長装置の構成を示す図



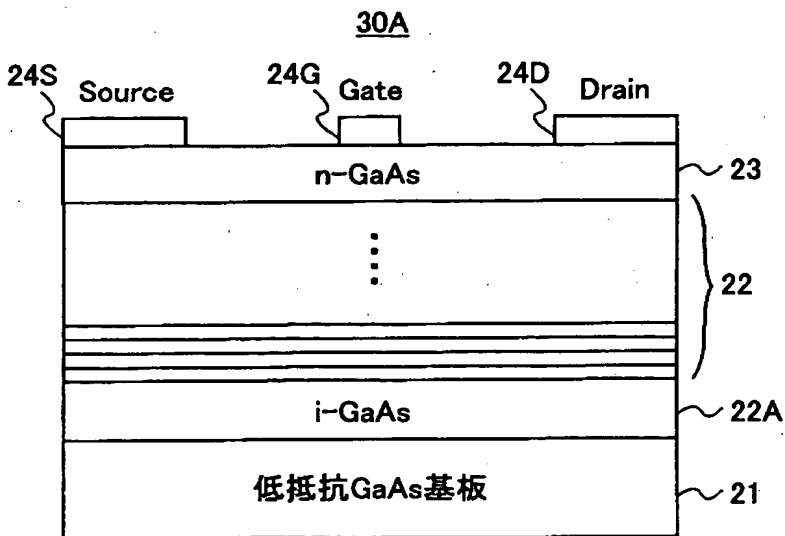
【図 9】

本発明の第2実施例によるMESFETの構成を示す図



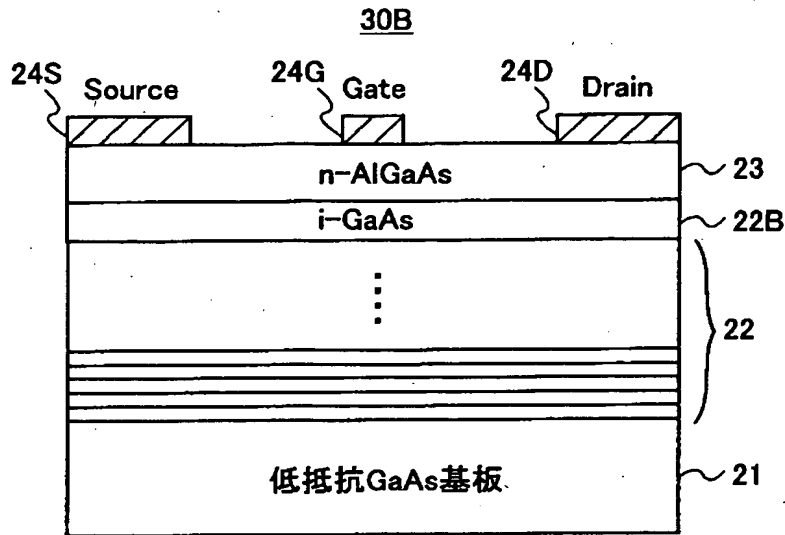
【図 1 0】

図9のMESFETの一変形例を示す図



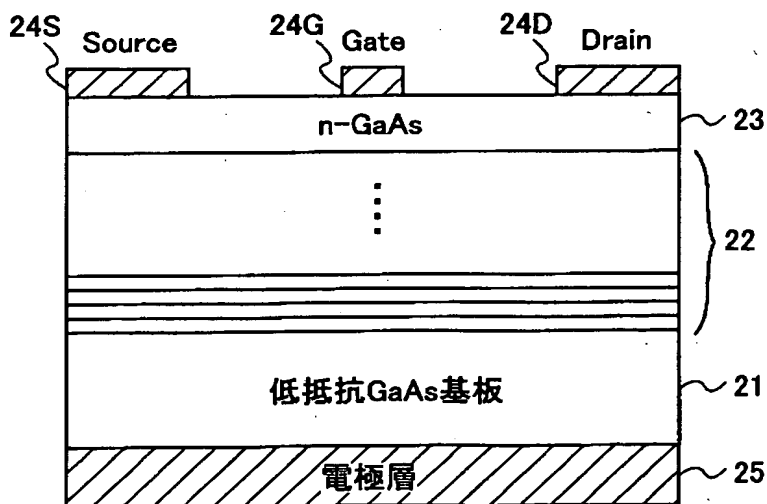
【図 1 1】

図9のMESFETの別の変形例を示す図



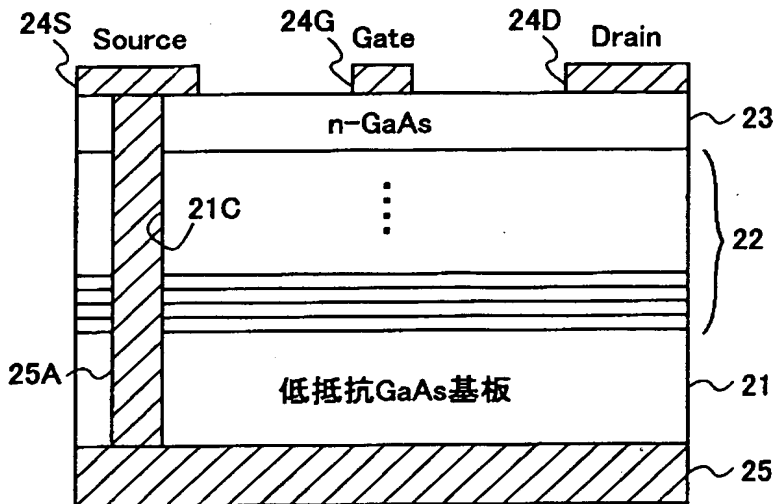
【図 1 2】

本発明の第3実施例によるMESFETの構成を示す図



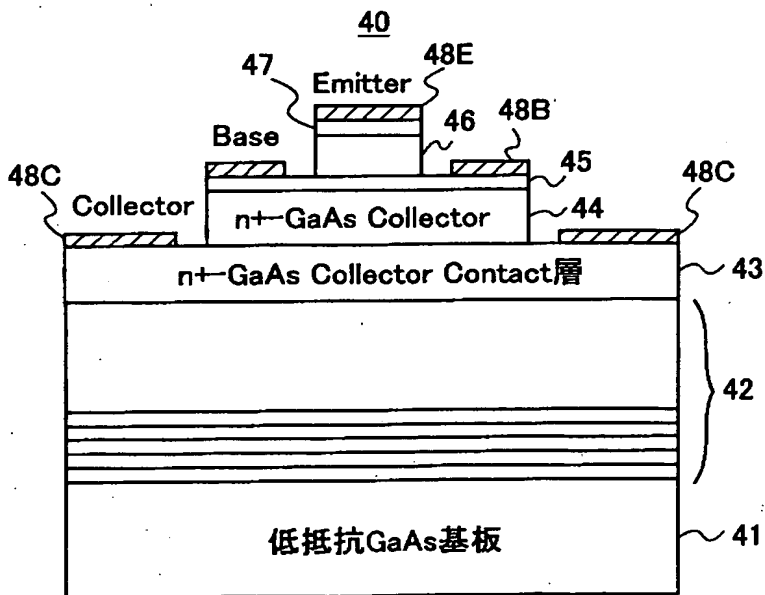
【図13】

図12のMESFETの一変形例を示す図



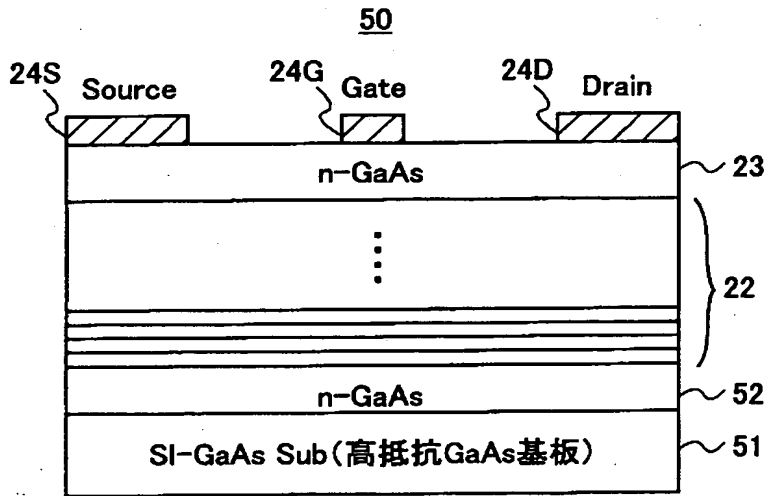
【図14】

本発明の第4実施例によるHBTの構成を示す図



【図15】

本発明の第5実施例によるMESFETの構成を示す図



【書類名】                      要約書

【要約】

【課題】    高速半導体装置において、大出力動作実施例におけるガン発振を抑制し、出力パワーの減少を回避する。

【解決手段】    基板として低抵抗基板を使い、さらに半導体装置の要部を構成するデバイス層と低抵抗基板との間に超格子バッファ層を介在させる。

【選択図】                      図 4

出 願 人 履 歴 情 報

識別番号

[000154325]

1. 変更年月日 1992年 4月 6日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漉阿原1000番地

氏 名 富士通カンタムデバイス株式会社